

(18) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2506840号

(45) 発行日 平成8年(1996)6月12日

(24) 登録日 平成8年(1996)4月2日

(51) Int. Cl. ⁸	識別記号	序内整理番号	P I	技術表示箇所
G 0 2 F 1/138	5 0 0		G 0 2 F 1/138	5 0 0
H 0 1 L 29/78		9550-4M	H 0 1 L 29/78	5 2 4

発明の数 1 (全 9 頁)

(21) 出願番号 特願昭62-282453
 (22) 出願日 昭和62年(1987)11月9日
 (35) 公開番号 特開平1-123292
 (43) 公開日 平成1年(1989)5月16日

(73) 特許権者 099099909
 松下電器産業株式会社
 大阪府門真市大字門真1008番地
 (72) 発明者 高取 博司
 大阪府門真市大字門真1008番地 松下電
 器産業株式会社内
 (74) 代理人 弁理士 橋本 智之
 審査官 井口 聖二
 (56) 参考文献 特開 昭63-167333 (J P, A)

(54) 【発明の名称】 アクティブマトリクスアレイの検査方法

(57) 【特許請求の範囲】

【請求項1】 アクティブマトリクスアレイであって、
 複数の薄膜トランジスタのドレイン端子と前記ドレ
 イン端子に接続されている給電電極のうち少なくとも一方
 と前記薄膜トランジスタが接続されたゲート信号線とを
 導電性物質を圧接接触させることにより接続し、次に任
 意の前記ゲート信号線に電圧を印加し、前記薄膜トラン
 ジスタが接続された前記薄膜トランジスタの欠陥を検出
 することを特徴とするアクティブマトリクスアレイの
 検査方法。

【発明の詳細な説明】

産業上の利用分野

本発明はアクティブマトリクス型液晶表示装置に用
 いるアクティブマトリクスアレイの検査方法に関する
 ものである。

従来の技術

近年、液晶表示装置の生産数増大に伴って、生産線数
 が増え、従来から用いられている単純マトリクス型液
 晶表示装置では表示コントラストや応答速度が低下する
 ため、もともとスイッチング素子を配置したアクティブ
 マトリクス型液晶表示装置が利用されつつある。しか
 しながら前記アクティブマトリクス型液晶表示装置に
 用いるアクティブマトリクスアレイは一枚の基板に数
 万個以上の薄膜トランジスタを形成しなければならな
 い。その為すべての薄膜トランジスタを無欠陥で形成す
 ることは非常に高度な技術を要する。したがって現在の
 技術ではアクティブマトリクスアレイの良否を検査
 し、良否の判別をおこなう必要がある。そこで容易な検
 査方法がまちのまれている。

以下図面を参照しながら従来のアクティブマトリク

スアレイの検査方法の一例について説明する。

第4図はアクティブマトリックスアレイの一番大きな回路図である。ただし以下の図面において説明に不都合な箇所は省略してあり、また一番大きな回路図は図4に示した部分がある。また同一記号・同一番号の箇所は同一内容あるいは同一構成の部分である。第4図において1はゲート信号線、2はソース信号線、3は格納回路、4はドレイン端子、5は検素電極である。また図中の点線内の部分は検素トランジスタ（以下TFTと呼ぶ）を構成している。第5図は第4図のアクティブマトリックスアレイの等価回路である。第5図において m （ただし m は整数）はゲート信号線、 s_n （ただし n は整数）はソース信号線、 T_{mn} （ただし $m \cdot n$ は整数）はTFT、 P_m （ただし $m \cdot n$ は整数）は検素電極である。

以下、従来のアクティブマトリックスアレイの検査方法について述べる。第6図は従来のアクティブマトリックスアレイの検査方法を説明するための説明図であり、第6図において6はTFTのソース・ドレイン間短絡欠陥であり、7・8はプローブ、9は抵抗値測定手段である。ここでTFTの検素欠陥について説明する。通常、検素欠陥と呼ばれているものには2種類ある。1つはTFTのゲート・ドレイン間短絡欠陥であり、前記欠陥状態はたえず検素電極がゲート信号線に接続されているため、検素が常点状態となる。したがって、ノーマリブラック表示の時は黒欠陥となる。他の1つはTFTのソース・ドレイン間短絡欠陥であり、前記欠陥状態はたえず検素電極がソース信号線に接続されているため、検素電極に信号が常時ながれこむ。したがって、ノーマリブラック表示の時は常時点灯状態となる白欠陥となる。黒欠陥と白欠陥を比較した場合人間の視覚には前記白欠陥がめだつたため、白欠陥がアクティブマトリックスアレイ内で多く発生している場合、表示品質をいじるしく低下させ、したがって前記アクティブマトリックスアレイは液晶表示パネルとして組み立てた製品とすることはできない。ゆえにアクティブマトリックスアレイでは白欠陥となるTFTのソース・ドレイン間短絡欠陥の有無を検査することが重要となる。そこで従来のTFTのソース・ドレイン間短絡欠陥の検査はまずプローブ7をソース信号線に圧接し、次にプローブ8を各TFTが接続された検素電極に圧接し、プローブ7・8間の抵抗値を測定することにより欠陥を検出していた。第6図の場合プローブ7をソース信号線82に、プローブ8を検素電極92に圧接し、前記プローブ7・8間の抵抗値を測定した際、通常よりも低い抵抗値が測定され、ゆえにTFTのT82のソース・ドレイン間短絡欠陥を検出することができる。

発明が解決しようとする課題

しかしながら従来のアクティブマトリックスアレイの検査方法ではTFTのソース・ドレイン間短絡欠陥の検出はプローブを各検素電極に圧接し、抵抗値を測定するしか手段がなかった。そのためプローブにより検素電極な

どが損傷するという問題があり、またプローブの位置決めなどに長時間を要し、検査数が数万点以上となるととても実用にたえるものではなかった。

本発明は上記問題点に鑑み、TFTの欠陥検査が非常に容易なアクティブマトリックスアレイの検査方法を提供するものである。

問題点を解決するための手段

上記問題点を解決するため本発明のアクティブマトリックスアレイの検査方法は複数のTFTのドレイン端子と前記ドレイン端子に接続されている検素電極のうち少なくとも一方と前記TFTが接続されたゲート信号線とを導電性物質を押し接触させることにより短絡し、前記ゲート信号線に順次、信号を印加するとともに、前記TFTが接続されたソース信号線からの出力信号を検出することによりTFTの欠陥を検出するものである。

作用

本発明はTFTのドレイン端子と検素電極のうち少なくとも一方とゲート信号線とを短絡状態にすることにより信号をプローブを用いず、ゲート信号線から短絡部を通じて印加することができる。したがって前記TFTにソース・ドレイン間短絡欠陥が発生してあればソース信号線に信号が出力されることにより前記欠陥を検出することができる。

実施例

以下本発明の一実施例のアクティブマトリックスアレイの検査方法について図面を参照しながら説明する。

第1図は本発明のアクティブマトリックスアレイの検査方法を説明するための説明図である。第1図において10は電圧印加手段、 R_n （ただし n は整数）はビックアップ抵抗、11は電圧測定手段、 C_{mn} （ただし $m \cdot n$ は整数）はドレイン端子4とゲート信号線1との短絡部（以後ドレイン短絡部と呼ぶ）、 G_{sm} （ただし m は整数）は任意のゲート信号線との接続手段、 S_{sn} （ただし n は整数）は任意のソース信号線との接続手段である。前記ドレイン短絡部の形成方法は後で記述する。

まず第1段階としてすべてのゲート信号線との短絡手段55を閉じるとともに、電圧印加手段10は電圧ドライバシスタをオフする信号（通常は負電圧）を発生させる。次にソース信号線との接続手段551を閉じ、電圧測定手段11はビックアップ抵抗 $R1$ の両端の電圧を測定する。前記の場合ソース信号線81に接続されているTFTが良品の場合、電圧測定手段11には電圧が測定されない。つぎに551を開き、552を開じる。電圧測定手段11はビックアップ抵抗 $R2$ の両端の電圧を測定する。552を開じた際、 $R2$ に短絡欠陥552→553なる電流経路が生じているため、電圧測定手段11には負電圧が測定され、ゆえにソース信号線82に接続されたTFTにソース・ドレイン間短絡欠陥が発生していることが検出される。以上の動作をくりかえしていくことにより、どのソース信号線に接続されているTFTに不良が発生しているか検出することがで

きる。上記の場合ソース信号線S2に接続されているTFTに欠陥が発生していることが検出された。次に第2段階としてSS2のみを閉じ、他の任意のソース信号線との接続手番は開いたままにしておく。次にSS1のみを閉じ、他の任意のゲート信号線との接続手番は開いたままにしておく。通常SS1よりSS4まで順次1つのゲート信号線との接続手番を開いていくとともに、電圧測定手番11はピックアップ抵抗R2の両端の電圧を測定していく。上記の場合SS9を閉じ、信号を印加した際、R2→短絡欠陥6→短絡部C32→63なる電流経路が発生するため、電圧測定手番11に負電圧が測定され、ゆえにTFTのT32にソース・ドレイン間短絡欠陥6が発生していることを検出することができる。

短絡部C11~C44の形成方法として以下のような方法がある。第2図(e)は短絡部を形成するための短絡部形成用構成体の平面図である。第2図(b)は第2図(e)のA6'線での断面図である。第2図(e)(b)において12は電気的導電性を有する絶縁ゴムであり、13は電気的導電性を有する導電ゴムであり、該絶した導電ゴム13間の間隔はアクティブマトリックスアレイの検素ピッチに構成されている。第2図(e)(b)の短絡部形成用構成体の使用方法としては第3図に示すように各検素のゲート信号線と検素電極が短絡状態となるように導電ゴム13を圧接する。以上の方法により第1図に示す短絡部を形成することができる。なお、短絡部形成用構成体は第1図に示すようにM×N個の検素に対し、一括して圧接してもよいし、第3図に示すように一列の検素に圧接

し、順次移動させて検査を行ってもよい。
発明の効果

本発明は複数のTFTのドレイン端子とゲート信号線とを短絡し、次にTFTのドレイン端子に信号を印加し、ソース信号線に出力される信号を検出することにより、TFTのソース・ドレイン短絡欠陥を検出することができる。またプローブをTFTの検素電極5に位置決めしていく必要がないため、高速なアクティブマトリックスアレイの検査をおこなうことができる。

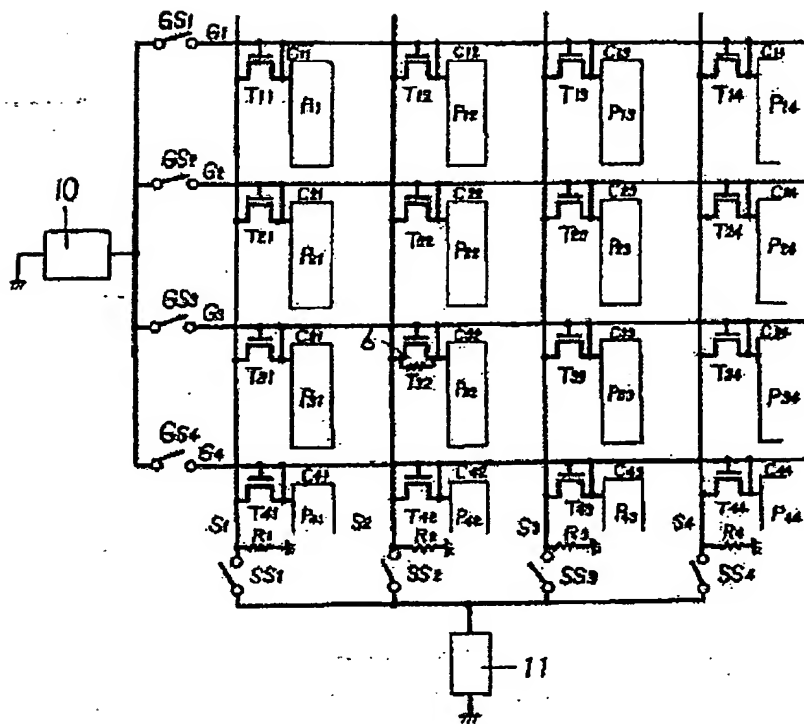
【図面の簡単な説明】

第1図は本発明のアクティブマトリックスアレイの検査方法を説明するための説明図、第2図(a)(b)は短絡部形成用構成体の平面図および断面図、第3図は短絡部形成用構成体の使用方法を説明するための説明図、第4図はアクティブマトリックスアレイの一部拡大平面図、第5図はアクティブマトリックスアレイの寄画駆動図、第6図は従来のアクティブマトリックスアレイの検査方法を説明するための説明図である。

1……ゲート信号線、2……ソース信号線、3……絶縁体膜、4……ドレイン端子、5……検素電極、6……短絡欠陥、7・8……プローブ、9……抵抗値測定手番、10……電圧印加手番、11……電圧測定手番、12……絶縁ゴム、13……導電ゴム、61~64……ゲート信号線、S1~S2……ソース信号線、T11~T44……画素トランジスタ、P11~P44……検素電極、631~634……ゲート接続手番、SS1~SS4……ソース接続手番、C11~C44……短絡部。

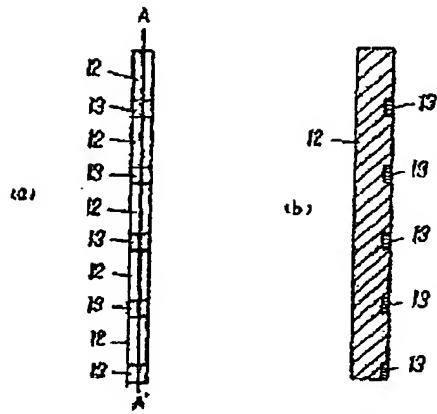
【第1図】

- 6 - 短絡欠陥
 10 - 電圧印加手段
 11 - 電圧測定手段
 G1~G4 - ゲート信号線
 S1~S4 - ソース信号線
 T11~T44 - 薄膜トランジスタ
 P11~P44 - 接触電極
 GS1~GS4 - ゲート接続手段
 SS1~SS4 - ソース接続手段
 C11~C44 - 短絡部

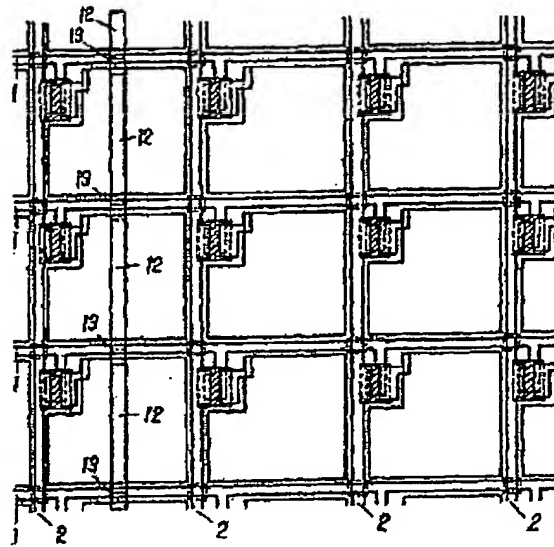


【第2図】

12 - 絶縁層
13 - 導電層

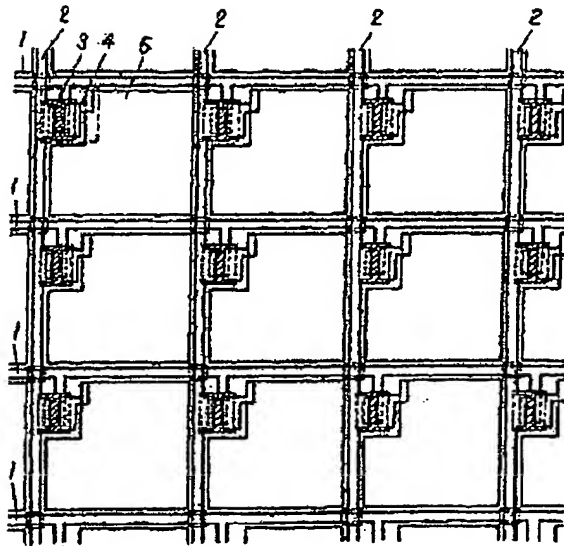


【第3図】

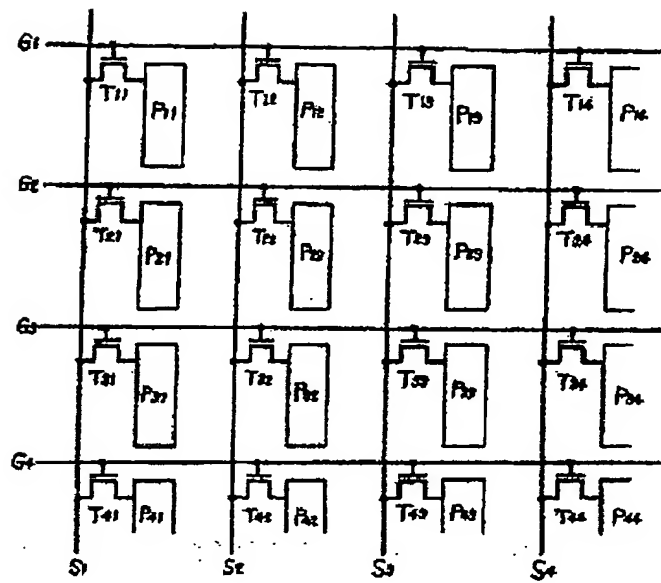


【第4図】

- 1 - ケーブル端子座
 2 - ソース端子座
 3 - 絶縁体層
 4 - 下レイヤー
 5 - 被覆層



【第5圖】



【第6図】

- 6 - ソース・ドレイン間短絡故障
 7, 8 - プローブ
 9 - 抵抗値測定手段

